

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-211722

(43)Date of publication of application : 23.08.1990

(51)Int.Cl.

H03M 13/00

(21)Application number : 01-031517

(71)Applicant : NEC ENG LTD

(22)Date of filing : 10.02.1989

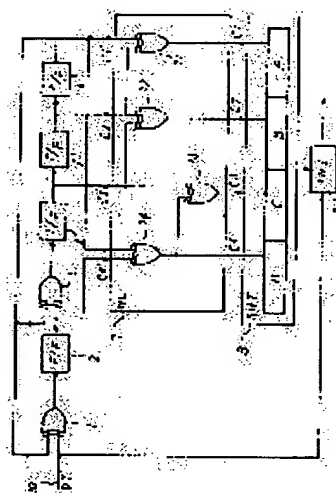
(72)Inventor : TAKAHASHI YOSHIAKI

(54) ERROR CONTROL SYSTEM

(57)Abstract:

PURPOSE: To increase the CRC(cyclic redundant code) operation speed by generating the preliminarily calculated result of CRC operation by a wiring logic circuit and generating all CRC bits at the time of taking the last bit of a transmission block as the operation object (actual data) into a CRC operating circuit.

CONSTITUTION: The operating circuit of four CRC bits is provided with an exclusive OR gate (XOR) 1, a data flip flop (F/F) 2, an XOR 3, F/Fs 4 to 6, a wiring logic circuits (WL) 7, a parallel-input serial-output shift register (SHT) 8, and a CRC bit inserting circuit (INS) 9, and the XOR 1, the F/F 2, the XOR 3, and F/Fs 4 to 6 are connected in series. The operation result of a part longer than actual data as the object of CRC operation is preliminarily calculated because plural bits of logical value '0' are added to this part, and therefore, all CRC bits are generated in the WL 7 when the CRC operating circuit takes in the last bit of actual data as the object of operation. Thus, the CRC operation speed is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-211722

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)8月23日

H 03 M 13/00

6832-5 J

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 誤り制御方式

⑯ 特 願 平1-31517

⑰ 出 願 平1(1989)2月10日

⑱ 発 明 者 高 橋 義 明 東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内

⑲ 出 願 人 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

誤り制御方式

特許請求の範囲

演算対象のビット列の後に複数の“0”ビットからなる巡回冗長符号が付加されたデータから誤りの有無の演算を行う巡回冗長符号演算回路において、前記演算対象のビット列がすべて入力された時点における前記演算回路の状態から前記巡回冗長符号を作成する布線論理回路を備えることを特徴とする誤り制御方式。

発明の詳細な説明

(産業上の利用分野)

本発明は誤り制御方式に関し、特に巡回冗長符号(以下CRCと記す)を用いた誤り制御方式に関する。

(従来の技術)

従来のCRCによる誤り制御方式では、送信側で伝送ブロックごとに情報ビットの他に数ビットないし数十ビットのCRCビットを付加してブロック全体のビットパターンを一定の法則に合うようにして送出し、受信側でこの法則に合っているかどうかを確認して誤りの発生の有無を検出している。またCRC演算回路では、実際の演算対象ビット列データに複数の“0”ビットを付加したデータを演算している。

(発明が解決しようとする課題)

上述した従来の誤り制御方式では、実際のデータより長いデータを演算し、かつ次のブロックの先頭ビットにCRCビットの最上位ビットを挿入したり、次のブロックのデータを演算するため、2系統のCRC演算回路を必要とするという欠点がある。

(課題を解決するための手段)

本発明の誤り制御方式は、演算対象のビット列の後に複数の“0”ビットからなるCRCが付加されたデータから誤りの有無の演算を行うCRC

演算回路において、前記演算対象のビット列がすべて入力された時点における前記演算回路の状態から前記CRCを作成する布線論理回路を備えることを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の誤り制御方式の一実施例を示すブロック図、第2図は第1図における動作を説明するためのタイミングチャート、第3図は第1図における布線論理回路の入出力論理の真理値を示す図である。

第1図において本実施例はCRC-4(4個のCRCビット、生成多項式 $X^4 + X + 1$)の演算回路を示し、直列に接続した排他的論理和ゲート(以下XOR)1、データフリップフロップ(以下F/F)2、XOR3、F/F4、5、6と、布線論理回路(以下WL)7と、パラレル入力シリアル出力シフトレジスタ(以下SHT)8と、CRCビット挿入回路(以下INS)9とを備え

る。

WL7はXOR71、72、73、74で構成され、第3図に示すように4ビットの入力値C1'、C2'、C3'、C4'の16通りの組み合わせにより出力値C1、C2、C3、C4をSHT8へA、B、C、Dの順に出力する布線論理が組まれている。

XOR1は入力データ(以下DT)10とF/F6の出力C1'の排他的論理和をとってその結果をF/F2に inputs。XOR3はF/F2の出力C4'とF/F6の出力C1'の排他的論理和をとってその結果をF/F4に inputs。F/F4の出力C3'はF/F5に inputsされ、F/F5の出力C2'はF/F6に inputsされる。またF/F6、5、4、2の出力C1'、C2'、C3'、C4'はWL7に inputsされ、WL7の出力C1、C2、C3、C4のパラレルデータはSHT8に inputsされ、SHT8でシリアルデータに変換されてINS9に inputsされる。INS9は演算後のデータの所定の位置にSHT8からの

CRCビットを挿入する。

次に、第2図を併用して本実施例の動作について説明する。

F/F2、4、5、6には第2図に示すクロック信号(以下CK)12、リセット信号(以下RS)11が inputsされる。DT10の伝送ブロックの最終ビットがF/F2にCK12の立ち上がりで取り込まれた時点T₁に、WL7で全CRCビットを作成してSHT8にラッチする。このラッチするタイミングは最終ビットを取り込んだ次のCK12の立ち下がりである。CRCビットの最上位ビットは第2図に示すDT10のCRCビット位置にINS9によって挿入される。次いで後位のCRCビットはINS9によって所定の位置に順次挿入され、RS11が inputsされた時点T₂にF/F2、4、5、6はクリアされる。以下同様に上述の演算を繰り返す。

このように本実施例は、CRC演算を行う実際のデータより長い部分には論理値"0"が複数ビット付加されるため、実際のデータより長い部分

(付加した論理値"0")の演算結果はあらかじめ計算することができるので、演算の対象となる伝送ブロック(実際のデータ)の最終ビットをCRC演算回路が取り込んだ時点に、WL7により全CRCビットを作成する。

〔発明の効果〕

以上説明したように本発明は、あらかじめ計算されたCRC演算の結果を布線論理回路で作成し、演算の対象となる伝送ブロック(実際のデータ)の最終ビットをCRC演算回路が取り込んだ瞬間にすべてのCRCビットを作成することにより、CRC演算の高速化および唯一系統のCRC回路で演算対象となる伝送ブロックの次の伝送ブロックの先頭のビットにCRCビットを挿入することが可能になるという効果がある。

図面の簡単な説明

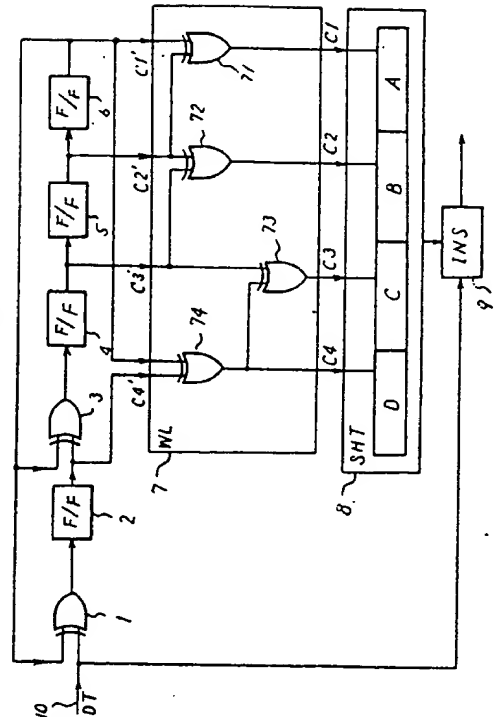
第1図は本発明の誤り制御方式の一実施例を示すブロック図、第2図は第1図における動作を説明するためのタイミングチャート、第3図は第1

図における布線論理回路の入出力論理真理値を示す図である。

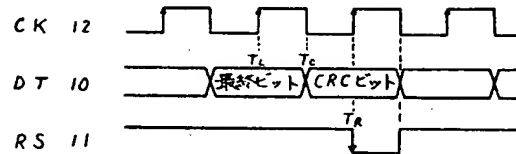
1, 3, 71, ~74…排他的論理和ゲート (XOR)、2, 3, ~6…データフリップフロップ (F/F)、7…布線論理回路 (WL)、8…パラレル入力シリアル出力シフトレジスタ (SHT)、9…CRCビット挿入回路 (INS)、10…入力データ (DT)、11…リセット信号 (RS)、12…クロック信号 (CK)。

代理人 弁理士 内 原 晋

第1図



第2図



第3図

	C4'	C3'	C2'	C1'	C4	C3	C2	C1
1	0	0	0	0	0	0	0	0
2	0	0	0	1	1	1	0	1
3	0	0	1	0	0	0	1	1
4	0	0	1	1	1	1	1	0
5	0	1	0	0	0	1	1	0
6	0	1	0	1	1	0	1	1
7	0	1	1	0	0	1	0	1
8	0	1	1	1	1	0	0	0
9	1	0	0	0	1	1	0	0
10	1	0	0	1	0	0	0	1
11	1	0	1	0	1	1	1	1
12	1	0	1	1	0	0	1	0
13	1	1	0	0	1	0	1	0
14	1	1	0	1	0	1	1	1
15	1	1	1	0	1	0	0	1
16	1	1	1	1	0	1	0	0